

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

5525 U.S. PTO  
09/27/502

03/18/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 3月20日

出 願 番 号

Application Number:

平成10年特許願第072679号

出 願 人

Applicant(s):

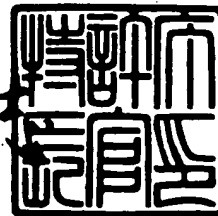
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 1月18日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴 佐 山 建 夫



出証番号 出証特平10-3107617

【書類名】 特許願

【整理番号】 9706189502

【提出日】 平成10年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/00

【発明の名称】 記録再生装置及び方法

【請求項の数】 9

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 本多 隆

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録再生装置及び方法

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の記録媒体を有し、これら第 1 及び第 2 の記録媒体の間で相互に記録再生を行う記録再生装置であって、

上記第 1 の記録媒体から画像信号を読み出す第 1 の読み出し手段と、

上記第 2 の記録媒体から画像信号を読み出す第 2 の読み出し手段と、

上記第 1 又は第 2 の読み出し手段にて読み出された信号に対してそれぞれ所定の変換処理を施す変換手段と、

上記変換手段にて変換された上記第 2 の読み出し手段からの画像信号を上記第 1 の記録媒体に対して書き込む第 1 の書き込み手段と、

上記変換手段にて変換された上記第 1 の読み出し手段からの画像信号を上記第 2 の記録媒体に対して書き込む第 2 の書き込み手段と、

上記第 1 及び第 2 の記録媒体の間での画像信号の記録／再生を制御する制御手段と

を有することを特徴とする記録再生装置。

【請求項 2】 上記第 1 の記録媒体から読み出された情報から識別情報を検出する識別情報検出手段を有し、上記制御手段は、上記第 1 の制御手段から上記識別情報検出手段にて読み出された識別情報に基づいて、上記第 1 の読み出し手段にて画像信号を一括して読み出し、この読み出された画像信号を上記第 2 の書き込み手段にて上記第 2 の記録媒体に一括して書き込むことを特徴とする請求項 1 記載の記録再生装置。

【請求項 3】 上記制御手段は、上記第 2 の記録媒体に記録された情報を、上記第 2 の読み出し手段にて読み出し、この読み出した情報を上記第 1 の書き込み手段にて上記第 1 の記録媒体に重ねて記録することを特徴とする請求項 1 記載の記録再生装置。

【請求項 4】 上記第 2 の記録媒体に記録された情報は、フレーム情報又はタイトル情報であることを特徴とする請求項 2 記載の記録再生装置。

【請求項 5】 上記変換手段は、上記第 1 の記録媒体から上記第 1 の読み出し手段にて読み出した画像信号を、PCMCIA の I/O 又は PCMCIA の AT A インターフェースに適合するように変換し、この変換した画像信号を上記第 2 の書き込み手段に与えることを特徴とする請求項 1 記載の記録再生装置。

【請求項 6】 上記制御手段は、上記第 1 の記録媒体から上記第 1 の読み出し手段及び上記第 2 の書き込み手段を介して上記第 2 の記録媒体に画像信号を記録する際に、上記画像信号を上記第 1 の記録媒体に記録された識別情報を用いて一括に転送する第 1 のモードと、画像を一枚毎に転送する第 2 のモードとをメニューキーにて切り換え、上記第 1 又は第 2 のモードの転送は、上記第 1 の記録媒体に対する撮像信号の記録と共に開始されることを特徴とする請求項 1 記載の記録再生装置。

【請求項 7】 上記制御手段は、上記第 1 の記録媒体に記録された識別情報に基づいて、上記第 1 の記録媒体に記録された画像信号を上記第 1 の読み出し手段にて一括して読み出し、この読みだした画像信号を上記第 2 の書き込み手段にて上記第 2 の記録媒体に一括して書き込む際に、上記第 2 の記録媒体が容量が満ちたときには、上記第 2 の書き込み手段による上記第 2 の記録媒体への書き込みを中断し、上記第 2 の記録媒体の容量が満ちたことを報知することを特徴とする請求項 1 記載の記録再生装置。

【請求項 8】 上記制御手段は、上記第 2 の記録媒体の容量が満ちたために、この第 2 の記録媒体への書き込みが中断された状態で、上記第 2 の記録媒体が交換された場合には、この交換された第 2 の記録媒体に空き容量が有る場合には、上記第 2 の書き込み手段にてこの交換された第 2 の記録媒体に画像信号の書き込みを再開することを特徴とする請求項 7 記載の記録再生装置。

【請求項 9】 第 1 及び第 2 の記録媒体に対し、これらの第 1 及び第 2 の記録媒体の間で相互に記録再生を行う記録再生方法であって、

上記第 1 の記録媒体から画像信号を読み出す第 1 の読み出し工程と、

上記第 2 の記録媒体から画像信号を読み出す第 2 の読み出し工程と、

上記第 1 又は第 2 の読み出し工程にて読み出された信号に対してそれぞれ所定の変換処理を施す変換工程と、

上記変換工程にて変換された上記第2の読み出し工程からの画像信号を上記第1の記録媒体に対して書き込む第1の書き込み工程と、

上記変換工程にて変換された上記第1の読み出し工程からの画像信号を上記第2の記録媒体に対して書き込む第2の書き込み工程と、

上記第1及び第2の記録媒体の間での画像信号の記録／再生を制御する制御工程と

を有することを特徴とする記録再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報信号を記録媒体に記録／再生する記録再生装置及び方法に関する。

【0002】

【従来の技術】

従来、ビデオカセットレコーダ (video cassette recorder; VCR) やカメラ一体型のビデオテープレコーダ (video tape recorder; VTR)、いわゆるカムコーダからの画像をパーソナルコンピュータ (personal computer; PC) に取り込んだり、取り込んだ画像を編集したりすることが広く行われている。

【0003】

このような画像の取り込みには、PCにビデオ画像を取得する専用の基板であるビデオキャプチャボードを挿入たり外部で接続したりして、そのビデオキャプチャボードに対応するソフトウェアをインストールすることにより行っていた。

ここで、タイトルを画像内に挿入するいわゆるタイトラー機能を有するVCRやカムコーダが提供されている。タイトラーを利用することにより、ビデオ画像に所望のタイトルを書き込むことができる。

【0004】

一方、画像をフロッピーディスク (floppy disk; FD) 等に直接記録する装置も提供されている。この装置によると、画像信号を直接にディスク等に記録することができる。

【0005】

【発明が解決しようとする課題】

ところで、現状のVCR／カムコーダ等の画像記録装置の情報をパソコン等の映してみたり、編集したりするためには、キャプチャボードをパソコンに挿入したり、外部で接続したりし、かつソフトをインストールするという手間をかけないとはできなかった。さらにコスト的にもキャプチャボードが高価であった。

【0006】

また、アナログのキャプチャボードの場合、DV等のデジタル記録されたデータが1度アナログに変換されるために、画像のクオリティが劣化してしまった。

【0007】

そして、タイトラー等の機能がついているのにもかかわらず、VCR等にはキーボードもなくメニューキー等でいれる複雑なヒューマンインターフェースで、内蔵ソフトがブアなために、タイトル画像のフレキシブルな加工は不可能であった。

【0008】

また、画像をFD等に直接記録する装置では1枚あたりの容量が少ないために数十枚の静止画か、かなり圧縮した動画でも数十秒の記録しかできなかった。

【0009】

さらに、今までのカムコーダはPCにダウンロードする時、テープ上に記録されたインデックス情報を検出して、テープの画像データを一括ダウンロードすることはできなかった。

【0010】

そして、加えてFDへの一括ダウンロード時のFDがフルになった時の表示を含めて制御ができなかった。

【0011】

本発明は、上述の課題に鑑みてなされるものであって、画像データの取得の際の負担を軽減し、タイトル画像のフレキシブルな加工を可能にし、短時間でない時間の記録を可能にし、画像を一括ダウンロードすることができ、FDのフル情

報を表示するような記録再生装置及び方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上述の課題を解決するために、本発明に係る記録再生装置は、第1及び第2の記録媒体を有し、これら第1及び第2の記録媒体の間で相互に記録再生を行う記録再生装置であって、上記第1の記録媒体から画像信号を読み出す第1の読み出し手段と、上記第2の記録媒体から画像信号を読み出す第2の読み出し手段と、上記第1又は第2の読み出し手段にて読み出された信号に対してそれぞれ所定の変換処理を施す変換手段と、上記変換手段にて変換された上記第2の読み出し手段からの画像信号を上記第1の記録媒体に対して書き込む第1の書き込み手段と、上記変換手段にて変換された上記第1の読み出し手段からの画像信号を上記第2の記録媒体に対して書き込む第2の書き込み手段と、上記第1及び第2の記録媒体の間での画像信号の記録／再生を制御する制御手段とを有する。

【0013】

本発明に係る記録再生方法は、第1及び第2の記録媒体に対し、これらの第1及び第2の記録媒体の間で相互に記録再生を行う記録再生方法であって、上記第1の記録媒体から画像信号を読み出す第1の読み出し工程と、上記第2の記録媒体から画像信号を読み出す第2の読み出し工程と、上記第1又は第2の読み出し工程にて読み出された信号に対してそれぞれ所定の変換処理を施す変換工程と、上記変換工程にて変換された上記第2の読み出し工程からの画像信号を上記第1の記録媒体に対して書き込む第1の書き込み工程と、上記変換工程にて変換された上記第1の読み出し工程からの画像信号を上記第2の記録媒体に対して書き込む第2の書き込み工程と、上記第1及び第2の記録媒体の間での画像信号の記録／再生を制御する制御工程とを有する。

【0014】

【発明の実施の形態】

以下、本発明に係る記録再生装置及び方法の実施の形態について、図面を参照して詳細に説明する。



## 【0015】

記録再生装置は、図1に示すように、カメラから入力する信号に対する処理を行うカメラ信号処理回路1と、ラインイン (line in) に対する処理を行うラインイン信号処理回路2と、カメラ信号処理回路1及びラインイン信号処理回路2からの信号に対するインターフェース及び画像混合処理を行うI/F・画像MIX回路3とを有している。

## 【0016】

カメラ信号処理回路1は、外部のカメラ等の撮像装置から入力される信号に対して、所定の信号処理を施す。ラインイン信号処理回路2は、ラインインされる信号に対して所定の処理を施す。

## 【0017】

I/F・画像MIX回路3は、上記カメラ信号処理回路1及びラインイン信号処理回路2から入力される信号に対するインターフェース処理を行う。また、このI/F・画像MIX回路は、他の回路から供給される画像との混合を行う。

## 【0018】

また、記録再生装置は、DV記録再生信号処理回路4と、情報信号の表示を行う表示装置7と、情報信号を記録する記録媒体5とを有している。

## 【0019】

DV記録再生信号処理回路4は、いわゆるデジタルビデオ (digital video; DV) 規格の情報信号に対する記録再生に関する信号処理を行う。

## 【0020】

表示装置7は、DV記録再生信号処理回路4から与えられた情報信号を表示するものである。この表示装置としては、例えば液晶ディスプレイ (liquid crystal display; LCD) を利用することができる。

## 【0021】

記録媒体5は、DV記録再生信号処理回路4からの情報信号が記録され、逆にDV記録再生信号処理回路4にて記録された情報信号が読み出される媒体である。この記録媒体5としては、例えばテープ上の媒体に情報信号が残留磁化として記録される磁気テープを利用することができる。

【0022】

さらに、記録再生装置は、J P E G / M o t i o n J P E G 圧縮伸長回路10と、P C M C I A (personal computer memory card international association) I / O / A T A (AT attachment) I / F 処理回路11と、P C M C I A コネクタ12とを有している。

【0023】

ここで、P C M C I A 規格とは、P C M C I A により規定されたいわゆるP C カードのインターフェースの規格である。また、A T とはいわゆるP C / A T 互換機のプロセッサとハードディスクとを接続するための規格である。

【0024】

J P E G (joint photographic expert group) / M o t i o n J P E G 圧縮伸長回路10は、J P E G 規格の静止画又はM o t i o n J P E G 規格の動画の符号化画像を画像信号に伸長したり、静止画あるいは動画の画像信号を上記規格の符号化画像に圧縮する回路である。このJ P E G / M o t i o n J P E G 圧縮伸長回路10は、I / F 処理・画像M I X 回路3又はP C M C I A I / O / A T A I / F 処理回路11からの画像信号又は符号化画像に対して上記処理を行う。

【0025】

P C M C I A I / O / A T A I / F 11は、J P E G / M o t i o n J P E G 圧縮伸長回路10からの符号化画像と、外付けF D ドライブのとの間のインターフェースを行う回路である。具体的には、外付けF D ドライブへの接続には、P C M C I A I / O 規格又はA T A I / F 規格が用いられるので、上記規格に対応するような変換処理等が行われる。

【0026】

P C M C I A コネクタ12は、外付けF D のP C M C I A 規格のコネクタに対応するP C M C I A 規格のコネクタである。

【0027】

そして、記録再生装置は、この記録再生装置に対する入力操作が行われる操作キーブロック8と、この記録再生装置の各部に対する制御を行う制御回路9とを

有している。

【0028】

操作キーブロック 8 は、この記録再生装置に対する入力操作がなされるぶぶんであり、例えば、メニューダイアル、フォト SW、モード切り替え SW により構成される。

【0029】

制御回路 9 は、この記録再生装置の各部に対する制御を行う回路である。この制御回路には、例えば、CPU、RAM 及び ROM 等から構成されるいわゆるマイコンが利用される。

【0030】

この記録再生装置には、PCMCIA カードコネクタ 13 と、FD ドライブ制御マイコン 14 と、FD ドライブ装置 15 とからなる外付け FD ドライブが接続される。

【0031】

PCMCIA カードコネクタ 13 は、PCMCIA 規格のカードコネクタである。FD ドライブ制御回路 14 は、FD ドライブ装置 15 へのデータ転送、駆動等の制御を行う制御回路である。この FD ドライブ制御回路 14 は、例えばいわゆるマイコンを用いて構成される。

【0032】

FD (floppy disk) ドライブ装置 15 は、フロッピーディスクを回転駆動してフロッピーディスクの記録トラックに沿ってデータの書き込み及び読み出しを行う装置である。

【0033】

このような記録再生装置において、カメラ信号処理回路 1、ラインイン信号処理回路 2、I/F 処理・画像 MIX 回路 3、DV 記録再生信号処理 4、記録媒体 5、表示装置 7、操作キーブロック 8、制御回路 9、JPEG/Motion JPEG 圧縮伸長回路 10、PCMCIA I/O/ATA I/F 処理回路 11 及び PCMCIA コネクタ 12 が DV カムコーダ部分に相当する。

【0034】

そして、上述のように、PCMCIAカードコネクタ13、FDドライブ制御回路14及びFDドライブ装置15が外付けFDドライブ装置である。

【0035】

もちろん1、このFDドライブ装置がDVのカムコーダに含まれたシステムも考えられる。

【0036】

この実施の形態では、カムコーダ部分と外付けFDドライブはPCMCIA規格のI/Fでつながっており、本体側のPCMCIAコネクタ12と外付けFDのPCMCIAカードコネクタ132で接続される。

【0037】

PCMCIAのI/Fを用いて外付けFDドライブのFDドライブ制御回路14と通信してFDを動作させデータを入出力する場合、PCMCIAのI/Fの仕様は、次の表1～表4に示すように、カード挿入において常に利用可能なメモリーカードインターフェースであるATAのメモリI/Fと、カードソケットがコンイギュレーションされた後のみ利用可能なI/O、メモリーカードインターフェースであるI/O I/Fとの2種類がある。

【0038】

【表1】

| ATA             |       |                 |           | I/F             |       |                 |             |
|-----------------|-------|-----------------|-----------|-----------------|-------|-----------------|-------------|
| ピン              | 信号    | VO <sup>2</sup> | 機能        | ピン              | 信号    | VO <sup>2</sup> | 機能          |
| 1               | GND   | DC              | グラント      | 1               | GND   | DC              | グラント        |
| 2               | D3    | I/O             | データビット3   | 2               | D3    | I/O             | データビット3     |
| 3               | D4    | I/O             | データビット4   | 3               | D4    | I/O             | データビット4     |
| 4               | D5    | I/O             | データビット5   | 4               | D5    | I/O             | データビット5     |
| 5               | D6    | I/O             | データビット6   | 5               | D6    | I/O             | データビット6     |
| 6               | D7    | I/O             | データビット7   | 6               | D7    | I/O             | データビット7     |
| 7               | CE1#  | I               | カードイネーブル  | 7               | CE1#  | I               | カードイネーブル    |
| 8               | A10   | I               | アドレスビット10 | 8               | A10   | I               | アドレスビット10   |
| 9               | OE#   | I               | 出力イネーブル   | 9               | OE#   | I               | 出力イネーブル     |
| 10              | A11   | I               | アドレスビット11 | 10              | A11   | I               | アドレスビット11   |
| 11              | A9    | I               | アドレスビット9  | 11              | A9    | I               | アドレスビット9    |
| 12              | A8    | I               | アドレスビット8  | 12              | A8    | I               | アドレスビット8    |
| 13              | A13   | I               | アドレスビット13 | 13              | A13   | I               | アドレスビット13   |
| 14              | A14   | I               | アドレスビット14 | 14              | A14   | I               | アドレスビット14   |
| 15              | WE#   | I               | ライトイネーブル  | 15              | WE#   | I               | ライトイネーブル    |
| 16 <sup>1</sup> | READY | O               | レディ       | 16 <sup>1</sup> | IREQ# | O               | インタラプトリクエスト |
| 17              | Vcc   | DC in           | 供給電圧      | 17              | Vcc   | DC in           | 供給電圧        |

【0039】

【表2】

| ATA             |      |                 |                  | I/O             |       |                 |                       |
|-----------------|------|-----------------|------------------|-----------------|-------|-----------------|-----------------------|
| ピン              | 信号   | VO <sup>2</sup> | 機能               | ピン              | 信号    | VO <sup>2</sup> | 機能                    |
| 18 <sup>1</sup> | Vpp1 | DC in           | プログラミング<br>供給電圧1 | 18 <sup>1</sup> | GND   | DC in           | プログラミング及び<br>パリアール供給1 |
| 19              | A16  | I               | アドレスビット16        | 19              | D3    | I               | アドレスビット16             |
| 20              | A15  | I               | アドレスビット15        | 20              | D4    | I               | アドレスビット15             |
| 21              | A12  | I               | アドレスビット12        | 21              | D5    | I               | アドレスビット12             |
| 22              | A7   | I               | アドレスビット7         | 22              | D6    | I               | アドレスビット7              |
| 23              | A6   | I               | アドレスビット6         | 23              | D7    | I               | アドレスビット6              |
| 24              | A5   | I               | アドレスビット5         | 24              | CE1#  | I               | アドレスビット5              |
| 25              | A4   | I               | アドレスビット4         | 25              | A10   | I               | アドレスビット4              |
| 26              | A3   | I               | アドレスビット3         | 26              | OE#   | I               | アドレスビット3              |
| 27              | A2   | I               | アドレスビット2         | 27              | A11   | I               | アドレスビット2              |
| 28              | A1   | I               | アドレスビット1         | 28              | A9    | I               | アドレスビット1              |
| 29              | A0   | I               | アドレスビット0         | 29              | A8    | I               | アドレスビット0              |
| 30              | D0   | I/O             | データビット0          | 30              | A13   | I/O             | データビット0               |
| 31              | D1   | I/O             | データビット1          | 31              | A14   | I/O             | データビット1               |
| 32              | D2   | I/O             | データビット2          | 32              | WE#   | I/O             | データビット2               |
| 33 <sup>1</sup> | WIP  | O               | ライトプロテクト         | 33 <sup>1</sup> | IREQ# | O               | I/Oポートは16bit          |
| 34              | GID  | DC              | グラント             | 34              | Vcc   | DC              | グラント                  |

【0040】

【表3】

| ATA             |       |                 |           | I/O             |       |                 |           |
|-----------------|-------|-----------------|-----------|-----------------|-------|-----------------|-----------|
| ピン              | 信号    | VO <sup>2</sup> | 機能        | ピン              | 信号    | VO <sup>2</sup> | 機能        |
| 35              | GND   | DC              | グラント      | 35              | GND   | DC              | グラント      |
| 36              | D3    | O               | カード検出     | 36              | D3    | O               | カード検出     |
| 37              | D4    | I/O             | データビット11  | 37              | D4    | I/O             | データビット11  |
| 38              | D5    | I/O             | データビット12  | 38              | D5    | I/O             | データビット12  |
| 39              | D6    | I/O             | データビット13  | 39              | D6    | I/O             | データビット13  |
| 40              | D7    | I/O             | データビット14  | 40              | D7    | I/O             | データビット14  |
| 41              | CE1#  | I/O             | データビット15  | 41              | CE1#  | I               | データビット15  |
| 42              | A10   | I               | カードイネーブル  | 42              | A10   | I               | カードイネーブル  |
| 43 <sup>4</sup> | OE#   | O               | 電圧感知1     | 43 <sup>4</sup> | OE#   | O               | 電圧感知1     |
| 44 <sup>1</sup> | A11   |                 | 予約        | 44 <sup>1</sup> | A11   | I               | I/Oリード    |
| 45 <sup>1</sup> | A9    |                 | 予約        | 45 <sup>1</sup> | A9    | I               | I/Oライト    |
| 46              | A8    | I               | アドレスビット17 | 46              | A8    | I               | アドレスビット17 |
| 47              | A13   | I               | アドレスビット18 | 47              | A13   | I               | アドレスビット18 |
| 48              | A14   | I               | アドレスビット19 | 48              | A14   | I               | アドレスビット19 |
| 49              | WE#   | I               | アドレスビット20 | 49              | WE#   | I               | アドレスビット20 |
| 50              | READY | I               | アドレスビット21 | 50              | IREQ# | I               | アドレスビット21 |
| 51              | Vcc   | DC in           | 供給電圧      | 51              | Vcc   | DC in           | 供給電圧      |

【0041】

【表4】

| ATA             |      |                 |                  | I/F             |       |                 |                         |
|-----------------|------|-----------------|------------------|-----------------|-------|-----------------|-------------------------|
| ピン              | 信号   | VO <sup>2</sup> | 機能               | ピン              | 信号    | VO <sup>2</sup> | 機能                      |
| 52 <sup>1</sup> | Vpp1 | DC in           | プログラミング<br>供給電圧1 | 12 <sup>1</sup> | GND   | DC in           | プログラミング 及び<br>ペリフェラル供給1 |
| 53              | A16  | I               | アドレスビット22        | 53              | D3    | I               | アドレスビット22               |
| 54              | A15  | I               | アドレスビット23        | 54              | D4    | I               | アドレスビット23               |
| 55              | A12  | I               | アドレスビット24        | 55              | D5    | I               | アドレスビット24               |
| 56              | A7   | I               | アドレスビット25        | 56              | D6    | I               | アドレスビット25               |
| 57 <sup>5</sup> | A6   | O               | 電圧感知2            | 57              | D7    | I               | 電圧感知2                   |
| 58 <sup>3</sup> | A5   | I               | カードリセット          | 58              | CE1#  | I               | カードリセット                 |
| 59 <sup>3</sup> | A4   | O               | バスサイクル延長         | 59              | A10   | O               | バスサイクル延長                |
| 60 <sup>1</sup> | A3   |                 | 予約               | 60 <sup>1</sup> | OE#   | O               | 入力ポート応答                 |
| 61 <sup>1</sup> | A2   | I               | 選択               | 61 <sup>1</sup> | A11   | I               | レジスタ選択とI/O<br>イネーブル     |
| 62 <sup>1</sup> | A1   | O               | バッテリー<br>電圧検出2   | 62 <sup>1</sup> | A9    | O               | オーディオデジタル波形             |
| 63 <sup>1</sup> | A0   | O               | バッテリー<br>電圧検出1   | 63 <sup>1</sup> | A8    | O               | カードステータス変更              |
| 64              | D0   | I/O             | データビット8          | 64              | A13   | I/O             | データビット8                 |
| 65              | D1   | I/O             | データビット9          | 65              | A14   | I/O             | データビット9                 |
| 66              | D2   | I/O             | データビット10         | 66              | WE#   | I/O             | データビット10                |
| 67              | WIP  | O               | カード検出            | 67              | IREQ# | O               | カード検出                   |
| 68              | GID  | DC              | グラント             | 68              | Vcc   | DC              | グラント                    |

【0042】

これらATA I/FとI/O I/Fとの差分はコントロール線の本数の差であり、FD制御回路と本体側の制御回路9の制御仕様の差だけであり、どちらのI/Fでも動作可能である。しかし、ATA I/Fの方がハード的な接地線が少ないため本体側の制御回路9及び外付けFDドライブのFDドライブ制御回路14のマイコンのソフト的な制御は複雑になる。

【0043】

続いて、記録再生装置の信号の流れに沿って全体のシステムを説明する。



【0044】

カメラ信号処理回路1はカメラ処理信号、ラインイン信号処理回路2はライン入力の信号処理でI/F処理・画像MIX回路3のI/F処理でDV記録再生信号処理4及び記録媒体5のテープ側の記録再生する処理と、JPEG/Motion JPEG圧縮伸長回路10からFDドライブ装置15におけるFDに記録再生する処理を相互にデータをやりとりしたり、ミックスしてテープやフロッピーディスクに記録したりする。

【0045】

通常テープにカメラやラインインの信号を記録する場合はDV記録妻子絵信号処理回路4のDV信号処理を受け取り記録媒体5のテープ等に記録する。またカメラやラインインの信号をフロッピーディスクに記録する場合は、JPEG/Motion JPEG圧縮伸長回路10の圧縮処理で静止画ならJPEG、動画ならMotion JPEGで圧縮しPCMCIA I/O/ATA I/F11のPCMCIA I/OまたはATA信号処理のI/F処理を行いPCMCIAコネクタ12のPCMCIAの出力コネクタを通してPCMCIAカードコネクタ13を通して外部のフロッピーディスクドライブにデータを送りカムコーダ側の制御回路9と外付けFDドライブのFDドライブ制御回路14とハンドシェークをしつつFDに記録する。

【0046】

次に記録媒体5のテープ等の記録媒体に記録された画像等をフロッピーディスクにダウンロードする時の信号の流れを説明する。

【0047】

記録媒体5のテープ等の記録媒体に記録されたデータは操作キーブロック8のキー動作と制御回路9の制御にそってFDに記録される。この制御については、後にフローチャートを用いて説明する。

【0048】

再生された信号はDV記録再生信号処理回路4のDV再生信号処理でNTSC・またはPALのTV信号にもどされI/F処理・画像MIX処理回路3のI/F処理でパーソナルコンピュータ(personal computer;PC)のVGA(video gr

aphics array) 等のならびに変換される。

【0049】

もちろんここで、カメラやラインインの信号と再生信号をミックスし J P E G / M o t i o n J P E G 圧縮伸長回路 10 の J P E G 圧縮に送ることも可能である。この画像信号は 10 の J P E G 圧縮で圧縮され、P C M C I A コネクタ 12 と P C M C I A カードコネクタ 13 を通して外付け F D ドライブと接続し、D V カムコーダ側の制御回路 9 と外付け F D ドライブ側の F D ドライブ制御回路 14 とハンドシェークしつつ、F D ドライブ装置 15 を介して、F D に記録する。

【0050】

次に P C 等で加工したタイトルやフレームや編集画像などをテープに記録する場合を信号の流れに沿って説明する。

【0051】

F D ドライブ装置 15 に差し込まれた F D を本体側の制御回路 9 と外付け F D ドライブの F D ドライブ制御回路 14 で制御しつつ P C M C I A カードコネクタ 14 と P C M C I A コネクタ 12 を通して、画像が P C M C I A I / O / A T A I / F 処理回路 11 や J P E G / M o t i o n J P E G 圧縮伸長回路 11 に流れ、I / F 処理・画像 M I X 回路で、カメラ信号処理回路 1 からの信号やラインイン信号処理回路 2 からの信号とミックスして D V 信号記録再生信号処理回路 4 を通してテープ等の記録媒体 5 に記録する。

【0052】

表示装置 7 には、相互ダウンロードやカメラ、ライン等の信号を記録する場合のモニターが表示される。

【0053】

図 2 は、F D に記録する圧縮処理を D V 圧縮で行いテープ等の記録媒体と同じ圧縮フォーマットでフロッピーディスクに記録する場合の回路構成である。

【0054】

この場合には、F D に記録する圧縮処理を D V 圧縮処理で行いテープ等の記録媒体と同じ圧縮フォーマットでフロッピーディスクに記録するために、図 1 における J P E G / M o t i o n J P E G 圧縮伸長回路 10 は備えられていない。

## 【0055】

また、図1におけるI/F処理・画像MIX回路3及びDV記録再生信号処理回路4は併合されてI/F処理・画像MIX・DV記録再生信号処理回路23となっている。

## 【0056】

ここでは、I/F処理・画像MIX・DV記録再生信号処理回路23とPCM CIA I/O/ATA I/F処理回路11との間では直接にデータが送受される。

## 【0057】

次にテープ等の記録媒体のデータを一括ダウンロードする場合の処理について説明する。一括ダウンロードをする時のメニューとフォトボタン等の兼用についてはこのフローチャートの説明の中で説明する。

## 【0058】

ここでDVフォーマット上のインデックス情報について説明する。

## 【0059】

DVフォーマットでは図3の記録トラックパターン上でのT1のサブコードの部分に各種のインデックスを打ち込むことが可能である。

## 【0060】

ここで、図3における記録トラックパターンは、ヘッド走行方向にITI、AUDIO、VIDEO、SUBCODEの各セクタが記録される。ITI (insert and track information) にはAUDIO、VIDEO、SUBCODEをアフターレコーディングするためのクロック精度の基準信号が入っており、アフターレコーディング時の記録精度をあげている。各セクタ間には、アフターレコーディングにおいて、各セクタの信号が記録ITIずれにより損なわれないようにギャップG1～G3が設けられている。ギャップG1～G3はITIより離れるほど大きく設定してジッターやテープのスキューの影響を少なくしている。

## 【0061】

さらに図3の記録トラックパターン上の中央のビデオエリアをデータの的に分解した図が図4であり、この図4のVideo Auxiliary data部

分には静止画のフォトインデックスが静止画記録時に自動的に打ち込まれる。

【0062】

ここで、Video Auxiliary data部分は、シンクブロック番号19と20、それに156のシンクブロックにある。

【0063】

それでは、このインデックス情報を検出してFDにダウンロードする場合の処理を図5のフローチャートを用いて説明する。

【0064】

まずステップS1で操作キーモードSWをVTR再生モードにする。ステップS2でメニューキーでFD記録モードを選び、ステップS3で一括ダウンロードか1枚記録かを選択する。このとき、図1又は図2の表示装置7には図6のようなメニュー画面が表示される。

【0065】

すなわち、表示装置7においては、“メニュー”の項目として“FDダウンロード”が選択され、さらに下位の項目として“1枚記録”又は“一括ダウンロード”が選択可能な項目として表示されている。

【0066】

ステップS3で1枚記録を選んだ場合はステップS4で操作キーのVTR PBキーを押しVTRを再生する。そしてダウンロードしたい画像でステップS5の再生ポーズをし、ステップS6のフォトボタンで記録をするのだが、このボタンは一括ダウンロード時も兼用する。

【0067】

そして、フォトボタンプッシュ後ステップS7の制御マイコンとハンドシェイクを行い、FDカードコネクタがささっているか、FDが差し込まれているか、FDに空き領域が有るかを判断しNOならステップS9のNG表示を行う。このNG表示は表示装置7で見ると図7のような画面となる。

【0068】

図7においては、表示装置の中央に“FDがいっぱいです。取り替えて下さい。”なるメッセージが表示されている。

【0069】

もしステップS7の判断でOKなら8でFDに画像を1枚記録する。

【0070】

つぎに、一括ダウンロードの場合であるがステップS3のメニューで一括ダウンロードを選択した後、兼用のフォトボタンをステップS10の処理でプッシュし、ステップS11でステップS7と同じハンドシェイクをFDの制御マイコンで行う。もしここでNOならステップS9と同じようにステップS12でNG表示の処理を行う。

【0071】

ステップS11のハンドシェイクでOKならステップS15のフォトインデックス検出でフォトインデックスや動画等のインデックス検出を行い、ステップS16で静止がなら再生ポーズ、動画ならそのまま流しステップS17でフロッピーディスクに記録する。これをFDがいっぱいになるまでまたはテープエンドになるまでステップS13のテープエンド検出、ステップS15のフォトインデックス検出の判断に戻り、何度でも記録を行う。

【0072】

なお、記録再生装置に記録媒体に記録された内容をフロッピーディスクにダウンロードする際のスタートは、フォト記録ボタンと兼用することができる。

【0073】

以上説明したように、記録再生装置及び方法は、テープ及びディスクとの媒体に動画を記録するカムコーダにPCMCIA I/Fを用いて、フロッピーディスクに静止画及び動画を相互にDown/Up Loadできるようなものである。

【0074】

【発明の効果】

上述のように、本発明は、テープ・ディスク等の画像等のデータをフロッピーディスクに簡単にダウンロードすることで、PC側に高価な特別の装置を付加すること無しに簡単にPCに画像等のデータを映すことができる。さらに外付けフロッピーディスクアダプタはキャプチャボードより安価である。

【0075】

また、本発明は、PCACIA等の汎用I/FとJPEG等の汎用圧縮を用いることにより、特別なソフトウェアをPCにダウンロードすること無しに、PCに画像等のデータを移すことができる。

【0076】

さらに、本発明は、デジタルでフロッピーディスクに画像等をダウンロードするために画像劣化がない。

【0077】

そして、本発明は、PC等で作成したタイトル・フレーム等のデータをフロッピーディスクを通して簡単にテープディスク等の記録媒体に重ねて記録できる。

【0078】

さらにまた、画像等のデータと共にテープ・ディスクとに記録されたインデックスデータを検出して自動的に画像データをフロッピーディスクにダウンロードができる。

【0079】

そして、フロッピーディスクダウンロード時のフロッピーの空き領域の処理・フル(Full)の場合の処理、一括ダウンロード時のテープ等の遷移を含めた処理、表示を含めた処理等のトータル制御と簡単なヒューマンインターフェースを実現することができる。

【図面の簡単な説明】

【図1】

記録再生装置の概略的な構成を示すブロック図である。

【図2】

DV圧縮にてFDに記録する記録再生装置の概略的な構成を示すブロック図である。

【図3】

記録トラックのパターンの構成を示す図である。

【図4】

記録トラックのビデオエリアのデータ構成を示す図である。

【図 5】

記録再生方法の一連の工程を示すフローチャートである。

【図 6】

表示装置のメニュー画面を示す図である。

【図 7】

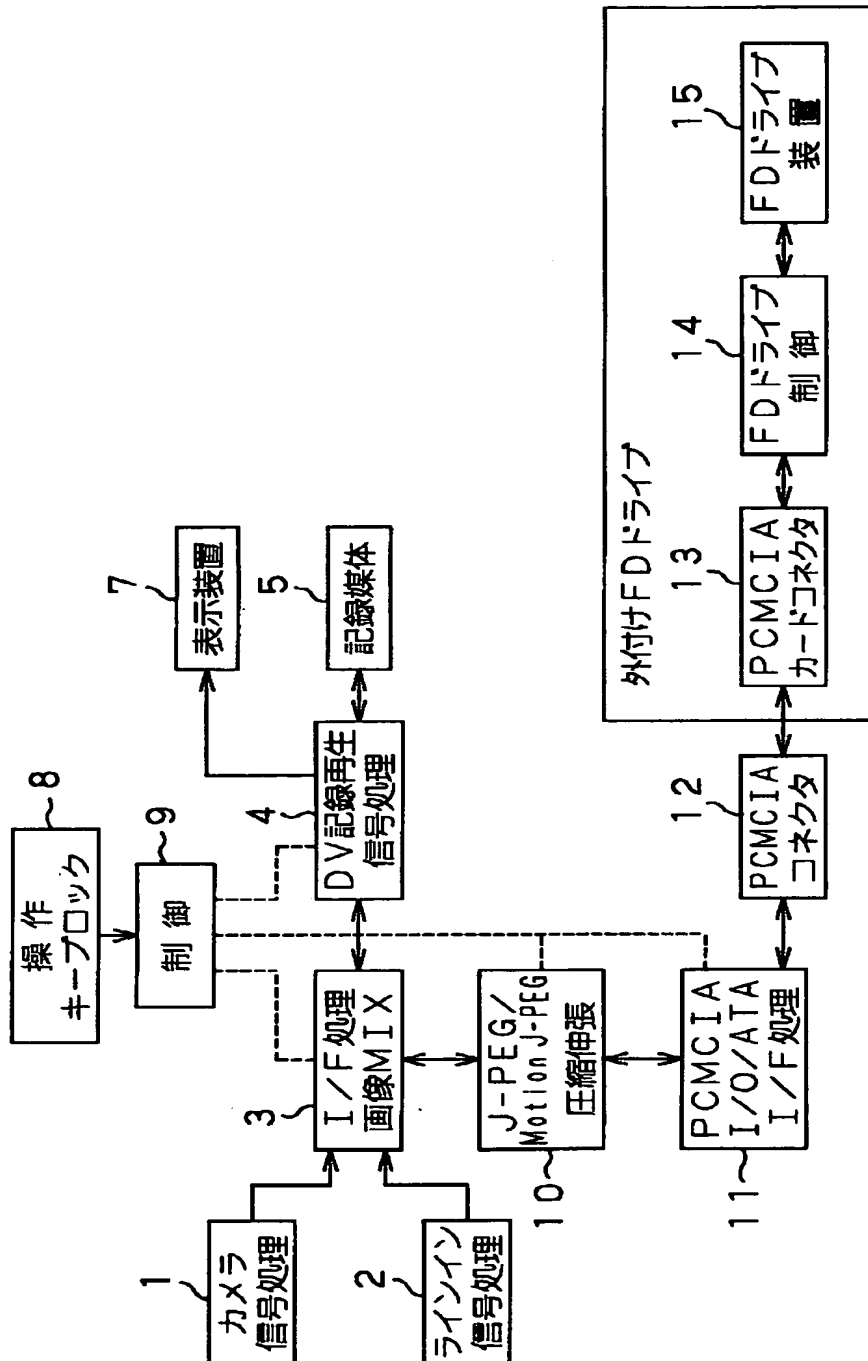
NG表示がされたメニュー画面を示す図である。

【符号の説明】

4 DV記録再生信号処理回路、5 記録媒体、7 表示装置、11 PCM  
CIA I/O/ATA I/F処理回路、14 FDドライブ制御装置、15  
FDドライブ装置

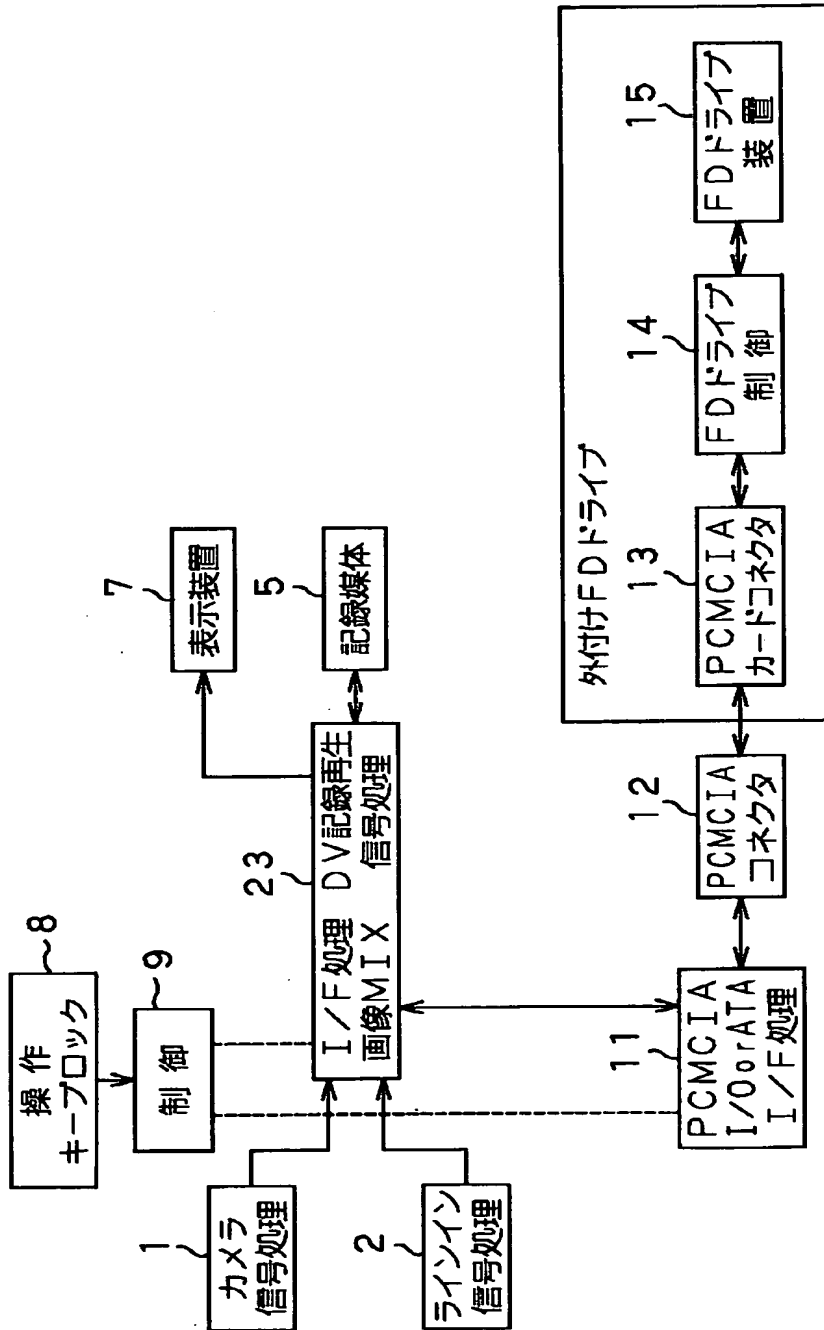
【書類名】 図面

【図 1】

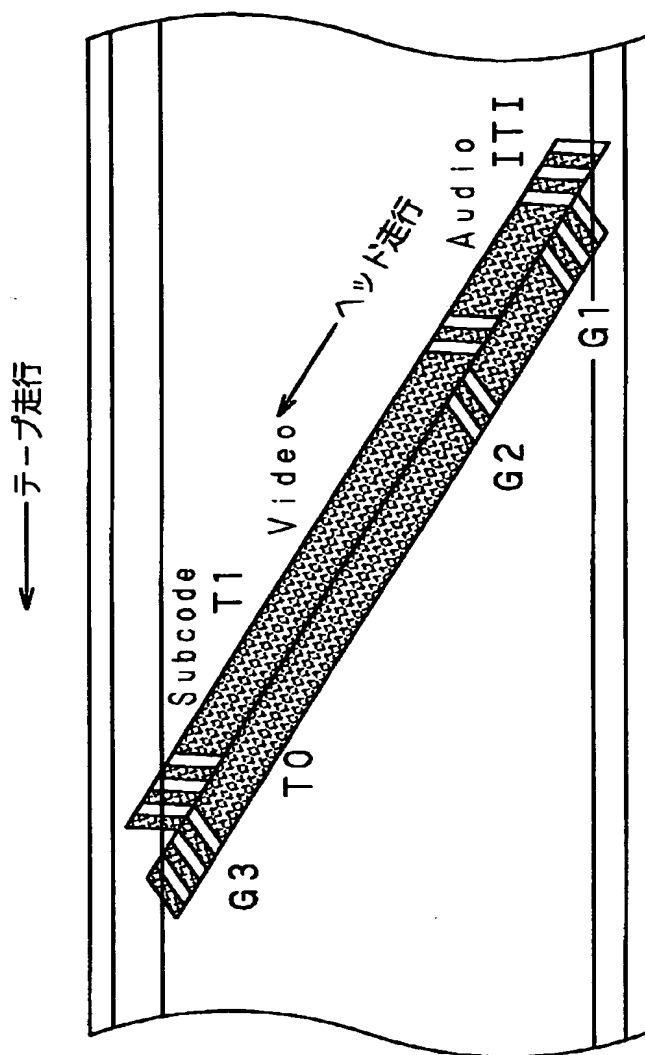




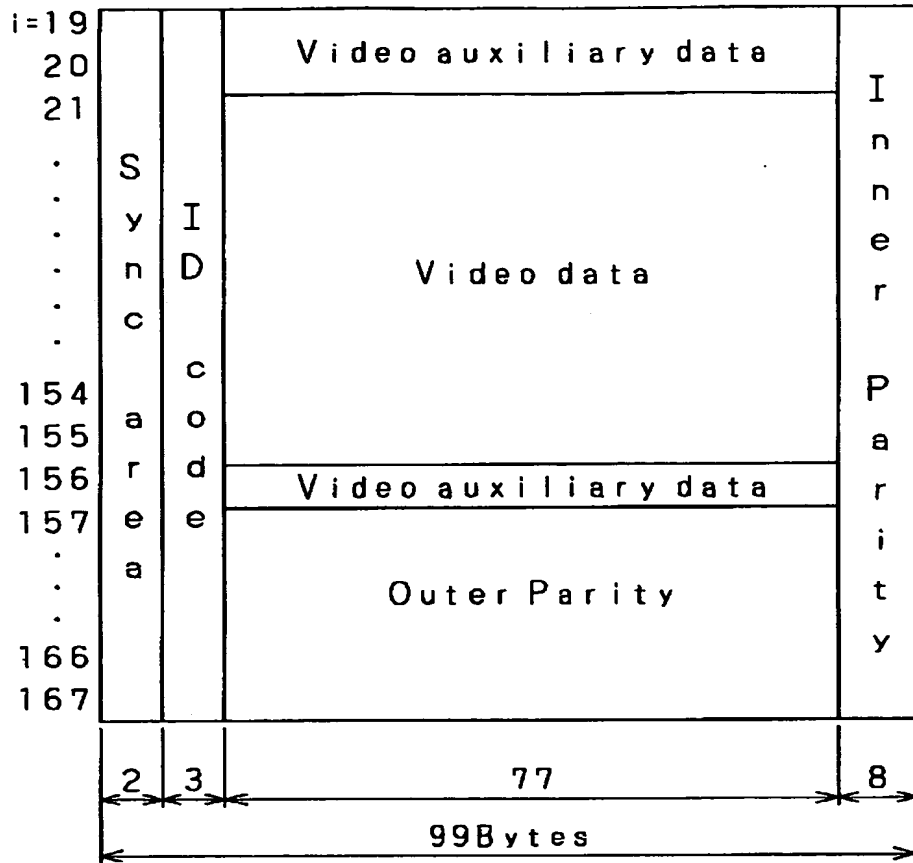
【図2】



【図 3】

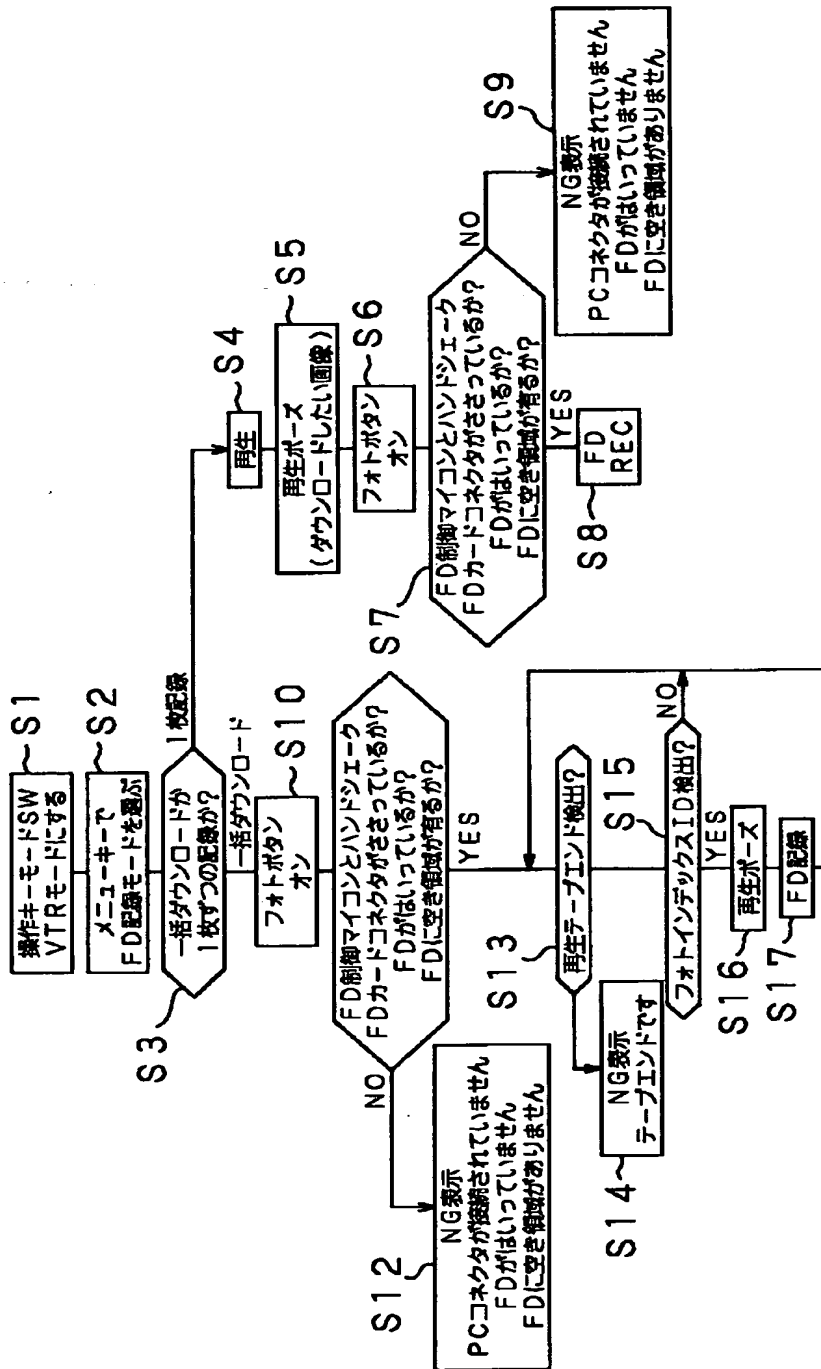


【図4】

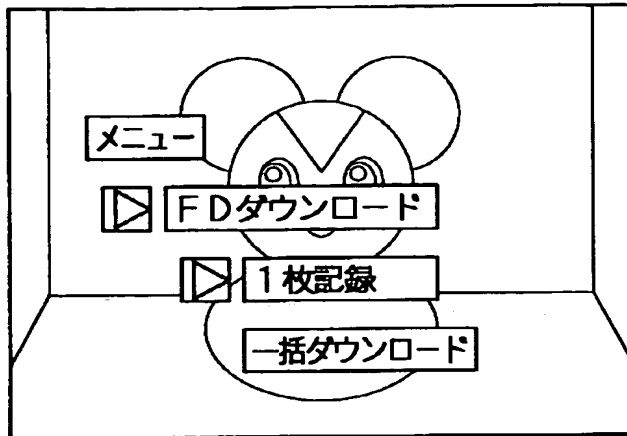


i=Sync block No.

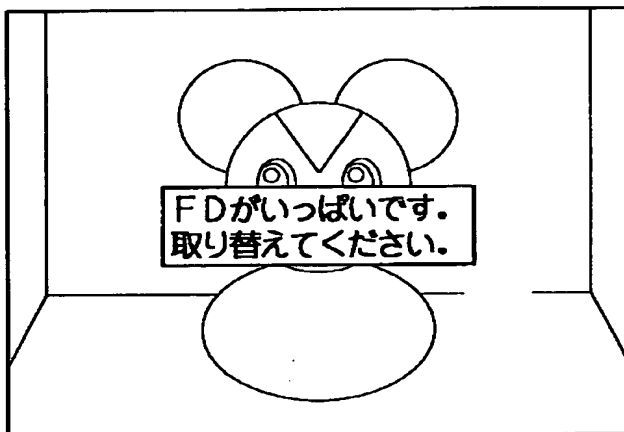
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 フロッピーディスクに静止画及び動画をダウン／アップロードできるようにする。

【解決手段】 画像信号を記録された記録媒体 5 と、記録媒体 5 からの記録再生信号の処理をする DV 記録再生信号処理回路 4 と、PCMCIA 規格へのインターフェースを行う PCMCIA I/O/ATA I/F 処理回路 11 と、外付け FD ドライブに接続する PCMCIA コネクタ 12 と、入力を受け付ける操作キーブロック 8 と、この記録再生装置の各部に対する制御を行う制御回路 9 とを有している。

【選択図】 図 1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【提出日】 平成10年 3月20日

【特許出願人】

    【識別番号】 000002185

    【住所又は居所】 東京都品川区北品川6丁目7番35号

    【氏名又は名称】 ソニー株式会社

【代理人】 申請人

    【識別番号】 100067736

    【住所又は居所】 東京都港区虎ノ門2-6-4 第11森ビル 小池  
国際特許事務所

    【氏名又は名称】 小池 晃

【選任した代理人】

    【識別番号】 100086335

    【住所又は居所】 東京都港区虎ノ門2丁目6番4号 第11森ビル  
小池国際特許事務所

    【氏名又は名称】 田村 榮一

【選任した代理人】

    【識別番号】 100096677

    【住所又は居所】 東京都港区虎ノ門二丁目6番4号 第11森ビル  
小池国際特許事務所

    【氏名又は名称】 伊賀 誠司

出 願 人 履 歴 情 報

識別番号 [000002185]

|          |                   |
|----------|-------------------|
| 1. 変更年月日 | 1990年 8月30日       |
| [変更理由]   | 新規登録              |
| 住 所      | 東京都品川区北品川6丁目7番35号 |
| 氏 名      | ソニー株式会社           |